

10/623571

8.5.3 For

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-006151

(43)Date of publication of application : 14.01.1993

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number : 03-158793

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 28.06.1991

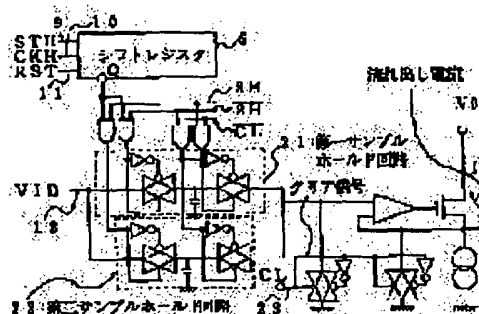
(72)Inventor : MARUSHITA YUTAKA

(54) DRIVE METHOD FOR LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To restrain decrease of voltage applying time on a picture element accompanied with high quality orientation of a liquid crystal display device and increase of consuming electric power of an output buffer accompanied with alternating current drive of liquid crystal original by shifting a clear time for taking away the time and signal of sampling reset.

CONSTITUTION: By separately providing a clear signal 23 to take away the output signal of a liquid crystal display panel in a specified time, against the reset signal of sample hold circuits 21, 22 of a drain driver of a liquid crystal display device, voltage application on the liquid crystal display panel is taken away to restrain power consumption of an output buffer in the midst of the term of sampling and reset, and in a remaining time, voltage is applied in a sufficiently long time on the liquid crystal display panel so as to improve the picture quality.



LEGAL STATUS

[Date of request for examination] 25.07.1997

[Date of sending the examiner's decision of rejection] 03.04.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



(19)日本国特許庁(JP)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-6151

(43)公開日 平成5年(1993)1月14日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36		7926-5G		
G 0 2 F 1/133	5 5 0	7820-2K		

審査請求 未請求 請求項の数5(全 7 頁)

(21)出願番号 特願平3-158793

(22)出願日 平成3年(1991)6月28日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72)発明者 丸下 裕

守口市京阪本通2丁目18番地 三洋電機株式会社内

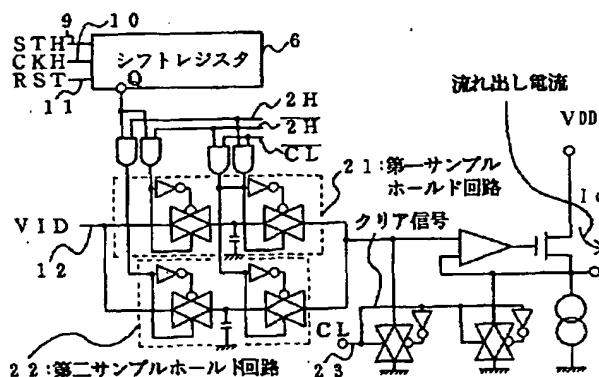
(74)代理人 弁理士 西野 卓嗣

(54)【発明の名称】 液晶表示装置の駆動方法

(57)【要約】

【目的】 液晶表示装置の高画質化に伴う画素への印加時間の減少と液晶独自の交流駆動に伴う出力バッファの消費電力の増大をサンプリングリセット時間と信号をなくすクリア時間をずらせることにより抑制する。

【構成】 液晶表示装置のドレインドライバのサンプルホールド回路のリセット信号に対し、液晶表示パネルの出力信号を特定期間でなくすクリア信号を別個に設けることによりサンプリングとリセットの期間の途中で液晶表示パネルへの電圧印加をなくして出力バッファの消費電力を抑え、かつ残りの期間で液晶表示パネルへ充分長い期間で印加して画質の向上を図る。



【特許請求の範囲】

【請求項1】 液晶表示パネルの表示の各絵素にスイッチング素子を付加した所謂アクティブマトリックス型液晶表示装置と、サンプリングパルスを発生させるシフトレジスタをリセットする機能を有している回路と、二回路以上のサンプルホールド回路と、液晶表示パネルの列電極に印加する信号出力をある一定レベルにクリアする回路とを備え、シフトレジスタのリセット時間と出力をクリアする時間とを各々個別に制御できることを特徴とした液晶表示装置の駆動方法。

【請求項2】 液晶表示パネルの表示の各絵素にスイッチング素子を付加した所謂アクティブマトリックス型液晶表示装置と、サンプリングパルスを発生させるシフトレジスタをリセットする機能を有している回路と、二回路以上のサンプルホールド回路と、液晶表示パネルの列電極に印加する信号出力をある一定レベルにクリアする回路と、クリア信号のない時間に絵素にデータ信号を書き込む時間よりリセット時間が短く設定された回路とを備え、水平帰線期間より書き込み時間を長くしたことを特徴とした液晶表示装置の駆動方法。

【請求項3】 液晶表示パネルの表示の各絵素にスイッチング素子を付加した所謂アクティブマトリックス型液晶表示装置と、サンプリングパルスを発生させるシフトレジスタをリセットする機能を有している回路と、二回路以上のサンプルホールド回路と、液晶表示パネルの列電極に印加する信号出力をある一定レベルにクリアする回路と、リセット信号とサンプリング時間の途中で終わるクリア信号を同時に発生させる回路とを備え、シフトレジスタのリセット開始時刻と出力をクリアする開始時刻とを一致させ、絵素への書き込み時間を長くしたことを特徴とする液晶表示装置の駆動方法。

【請求項4】 液晶表示パネルの表示の各絵素にスイッチング素子を付加した所謂アクティブマトリックス型液晶表示装置と、サンプリングパルスを発生させるシフトレジスタをリセットする機能を有している回路と、二回路以上のサンプルホールド回路と、液晶表示パネルの列電極に印加する信号出力をある一定レベルにクリアする回路と、サンプリング終了時刻とクリア終了時刻を一致させる回路とを備え、シフトレジスタのリセット時間と出力をクリアする時間とを分離させ、サンプリング直後に絵素への書き込みを行うことを特徴とする液晶表示装置の駆動方法。

【請求項5】 特定期間に存在するリセット信号によりサンプリングパルスの出力を停止するシフトレジスタと、シフトレジスタからの一個のサンプリングパルス当り二個の入力をそれぞれ個別に受ける第一のアンド回路と第二のアンド回路と、第一のアンド回路と第二のアンド回路のそれぞれの入力成分となる一水平周期内で反転する周期信号とその反転信号である反転周期信号と、反転周期信号と液晶パネルからの電流の流れ出し時間を制

御するクリア信号の反転信号である反転クリア信号とを入力する第三のアンド回路と、周期信号と反転クリア信号を入力する第四のアンド回路と、第二のアンド回路と第三のアンド回路と第四のアンド回路の出力を受ける二組のインバータとアナログスイッチとからなる第一サンプルホールド回路と、第一のアンド回路と第三のアンド回路の出力を受ける二組のインバータとアナログスイッチとからなる第二サンプルホールド回路と、映像入力信号が第一サンプルホールド回路と第二サンプルホールド回路を通過して出力バッファの一方の入力信号となり、クリア信号が二組のインバータとアナログスイッチに印加されて出力バッファの一方の入力信号及び他方の入力信号の双方をアース電位とする出力バッファの入力信号と、出力バッファからの書き込み信号を液晶パネルのスイッチング素子に書き込む回路を備えた液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アクティブマトリックス型液晶表示装置の駆動方法に関し、特に液晶表示装置への映像信号の印加時間を長くする駆動方法に関する。

【0002】

【従来の技術】図5は、アクティブマトリックス型LCDで使用されている一般的なゲートドライバ（走査側ドライバ）とドレインドライバ（信号側ドライバ）を有する従来の液晶表示装置のブロック図である。

【0003】ゲートドライバ1は、シフトレジスタ2とラッチ3、及び出力バッファ4から構成されている（ラッチはない場合もある）。

【0004】一方、ドレインドライバ5はシフトレジスタ6とサンプルホールド回路7、及び出力バッファ4で構成されている。

【0005】ドレイン側のシフトレジスタ6には水平スタート信号9、クロック信号10、リセット信号11が入力されている。

【0006】シフトレジスタ6から液晶パネル8の水平方向の画素数に応じたサンプリングパルスと映像入力信号12がサンプルホールド回路7に印加されている。

【0007】ゲート側のシフトレジスタ2には垂直スタート信号13が入力されている。

【0008】以下にドレインドライバの動作を簡単に説明する。

【0009】シフトレジスタ6は液晶パネル8の概略画素数を信号源の水平有効表示期間で除した周波数で動作し、映像入力信号12をサンプリングするためのサンプリングパルスを出力する。

【0010】例えば、動作周波数はNTSCの場合、液晶パネルの水平方向画素数を640画素とすると $f = 640 / 52 \mu s \approx 12 \text{ MHz}$ → 端子2分割で6MHzとなる。

【0011】HDTVのばあい、パネルの水平画素数を1440画素とすると $f = 1440 / 25.8 \mu s \approx 55.8 \text{ MHz} \rightarrow$ 同様に約28MHzとなる。

【0012】シフトレジスタの出力（サンプリングパルス）は、サンプルホールド回路の制御信号としてスイッチのオン／オフを制御する。

【0013】一方、サンプルホールド回路内のスイッチの入力には映像入力信号が接続されており、サンプリングパルスによりスイッチオン時の値がスイッチ出力段のホールドコンデンサに貯えられる。

【0014】このサンプルホールド動作を順次繰り返して一水平走査期間分のデータを貯えた後、出力バッファにより一水平走査期間すべてのデータを同時に液晶パネルに供給する。

【0015】出力バッファがオンしデータを液晶パネル8に供給する時間は水平帰線期間に限定され、TF T 1 4のオンのときに液晶15に電圧が印加される。

【0016】これは図6に示すように、一水平走査期間の有効表示期間16内は常に入力映像信号をサンプリングしており、サンプルホールドしたデータを水平帰線期間17内に出力しないとデータの書き替えが起こるためであり短時間で充分な充放電をしなければならない（液晶パネルは交流駆動する必要があるため、データの書き替えにおいては充放電が必要となる）。

【0017】シフトレジスタリセット期間18は映像入力信号の全期間からシフトレジスタ動作期間を差し引いた期間となる。

【0018】すなわち、図7に示すように、ドライバの出力電流として流れ出し（Ic）と流れ込み（Idc）の両動作が必要になるため、ドライバ出力段のインピーダンスを低くしなければならず、ドライバの消費電力増大につながる問題となる。

【0019】図7でバッファアンプの出力の映像信号は極性が正の時は出力FETから液晶パネル内のTF T 1 4に流れ出し電流19が流れ、極性が負の時は液晶パネル内のTF T 1 4から出力FETに流れ込み電流20が流れる。

【0020】OEは液晶パネルへの出力期間を制御する信号であり、Vbは出力電流を制御するバイアス電圧となる信号である。

【0021】従来、シフトレジスタのリセット信号RSTと液晶パネルへの出力期間を制御する信号OEは同じ信号であった。

【0022】

【発明が解決しようとする課題】本発明は、上述した問題点を鑑みてなされたものであり、液晶ドライバの消費電力の増大を押さえるとともに液晶へのデータの書き込みを正しく行い高品位画像を得ることを目的としている。

【0023】

【課題を解決するための手段】上記問題点は、ドライバ出力段の流れ出しと流れ込みのタイミングを分離し、液晶表示パネルの列電極に信号を印加する期間を任意に設定することにより解決できる。

【0024】すなわち、表示の各絵素にスイッチング素子を付加した所謂アクティブマトリックス型液晶表示装置の駆動方法において、サンプリングパルスを発生させるシフトレジスタをリセットする機能と、入力されたビデオ信号をサンプルホールドする回路を二系統以上備え、液晶表示パネルの列電極に印加する信号出力をある一定レベルにクリアする機能を有しており、前記、シフトレジスタのリセット時間と出力をクリアする時間とを各々個別に制御することにより実現可能である。

【0025】

【作用】本発明によれば、ドライバ出力段のインピーダンスを高くでき、サンプリングパルスを発生させるシフトレジスタのリセット期間、及び映像入力信号の仕様と関係なく液晶パネルへの充放電が制御できるため、消費電流の増大を押さえ、アクティブマトリックス液晶パネルの特性に合致した駆動が可能になり高品位な画像表示が実現できる。

【0026】

【実施例】図1は、本発明のサンプルホールド回路を二回路構成とし、かつ、ドライバ出力をある一定レベルにクリアする機能を有した駆動回路を示している。

【0027】サンプルホールド回路を二回路構成とした場合には、一水平走査期間毎にサンプルホールドを切り替えるため、出力バッファがオンしデータを液晶パネルに供給する時間は一水平走査期間内であれば特に限定されない。

【0028】これは、あるライン（n）の走査期間には、第一サンプルホールド回路21にサンプルホールドし、第二サンプルホールド回路22から（n-1）ラインのデータを出力する。

【0029】次に（n+1）ラインの走査期間では、第一サンプルホールド回路21から（n）ラインのデータを出力し第二サンプルホールド回路22に（n+1）ラインのデータをサンプルホールドする動作の繰り返しであるため、一つのサンプルホールド回路は一水平走査期間のサンプリング後、データ出力に次の水平走査期間の全てを利用できるためである。

【0030】しかし、サンプルホールド回路を二回路構成としたのみでは、従来例と同様にドライバの出力電流として流れ出しと流れ込みの両動作が必要になり、ドライバの消費電力の増大につながる。

【0031】このため、図1の回路例では、出力をある一定レベルにクリアし、ドライバの出力電流を流れ出し、あるいは、流れ込みのみに限定した回路としている。

【0032】サンプルホールド回路は前段のサンプリング

グ部、中段のホールド部、後段の出力開閉部とから構成されている。

【0033】第一サンプルホールド回路21は一水平走査期間毎に反転する $\neg 2H$ （図1では $\neg 2H$ で示される）とシフトレジスタからのサンプリングパルスSPの第二のアンド回路による論理積によりH（ハイ）の場合、インバータとアナログスイッチとからなるサンプリング部が映像入力信号をサンプリングする。

【0034】一方、第二サンプルホールド回路22は $\neg 2H$ が反転した $2H$ とシフトレジスタからのサンプリングパルスSPの第一のアンド回路による論理積によりL（ロー）となるので、サンプリングされない。

【0035】第一サンプリング回路21でサンプリングされた映像信号はコンデンサによってホールドされる。

【0036】コンデンサによりホールドされている時、第一サンプルホールド回路の後段に $\neg 2H$ （図1では $\neg 2H$ で示される）と $\neg CL$ （図1では $\neg CL$ で示される）の第三のアンド回路による論理積及び $2H$ と $\neg CL$ （図1では $\neg CL$ で示される）の第四のアンド回路による論理積により、次の CL がL（ロー）となるまで出力バッファに信号を送らない。

【0037】他方、前の一水平周期期間中に第二サンプルホールド回路のコンデンサにホールドされた映像信号は $\neg 2H$ （図1では $\neg 2H$ で示される）と $\neg CL$ （図1では $\neg CL$ で示される）の第三のアンド回路による論理積及び $2H$ と $\neg CL$ （図1では $\neg CL$ で示される）の第四のアンド回路による論理積により、今の CL がL（ロー）となると同時に出力バッファに映像信号を送り、液晶パネルの液晶に電圧を印加する。

【0038】図1でクリア信号23によって出力バッファの出力はアース電位としている。

【0039】クリア信号によりアナログスイッチを介して接続される電位（接続電位）は、反転する映像信号の負側の信号の極値より小さいことが液晶パネルから接続電位に流れ込む場合に必要である。

【0040】逆に液晶パネルへの書き込みを流れ込み電流で行う場合、クリア信号によって期間設定される接続電位は、反転する映像信号の正側の信号の極値より大きいように設定される。

【0041】上記のように、出力をある一定レベルにクリアする期間を制御する信号を独立に設けてシフトレジスタのリセット信号とは分離している。

【0042】すなわち、制御信号 CL によりドライバ出力を強制的にGNDレベルにして液晶パネルのドレイン電位をクリアし、 CL 以外の時間に画像データを書き込む構成にしている。

【0043】そのため、ビデオ信号の有効表示期間やサンプリング期間とは全く無関係に出力のクリア時間を設定できるため、アクティブマトリックス型液晶パネルの特性に合致した駆動が可能となる。

【0044】例えば、前述したHDTVの駆動を考えると、従来は水平走査期間 $29.6\mu s$ のうち $25.8\mu s$ （ $14.40/55.8MHz$ ）をサンプリング期間として使用していたため、出力期間（液晶へのデータ書き込み時間）は $3.8\mu s$ しかなく、正しいデータの書き込みが困難であった。

【0045】あるいは、短時間でのデータ書き込みに対応するために出力段のインピーダンスを非常に低くする必要があったが、本発明によれば、前述したように他の信号や仕様とは全く独立して出力段を制御できるため、水平走査期間 $29.6\mu s$ の間に充放電すれば良いため充分余裕を持ったデータ書き込みができることになる

（例えば、水平走査期間の約 $1/2$ の時間 $=14\mu s$ でクリアして残りの約 $15\mu s$ でデータを書き込めばよいことになる）。

【0046】すなわち、アクティブマトリックス液晶パネルの特性に合致した駆動が可能になり高品位な画像表示が実現できる。

【0047】尚、本発明の実施例では、サンプルホールド回路は二系統としたがさらに多くのサンプルホールド回路を設けても良い。

【0048】図2に本発明の第一の実施例の液晶表示装置の駆動方法の波形図を示す。

【0049】図2から図4まで本発明の実施例を示し、各図の（a）は映像入力信号12の波形、各図の（b）はサンプリングの開始を設定する水平スタート信号9の波形、各図の（c）は立ち上がり、立ち下りのタイミングを利用するクロック信号10の波形、各図の（d）はシフトレジスタをリセットするリセット信号11の波形、各図の（e）は第一のサンプルホールド回路でサンプルホールドする期間を示すサンプリング期間、各図の（f）は第二のサンプルホールド回路でサンプルホールドする期間を示すサンプリング期間、各図の（g）は液晶パネルを一定電位に設定するクリア信号23の波形、各図の（h）は液晶に一定電圧を加える出力クリア期間、各図の（i）は液晶に映像信号を印加する書き込み期間をそれぞれ示している。

【0050】図2において、（a）の映像入力信号12のAの部分のサンプリングは水平スタート信号STHとクロック信号CKHによって、サンプリングAとして第一サンプルホールド回路に保持され、 CL の信号がL（ロー）のときに液晶パネルに書き込みAとして書き込まれる。

【0051】続いて、次のSTHにより映像入力信号12のBの部分はサンプリングされ始め、リセット信号RSTにより第二サンプルホールド回路へのサンプリングホールドは停止され、液晶パネルに書き込みBとして書き込まれる。

【0052】さらに、映像入力信号のCの部分は第一サンプルホールド回路に映像信号として保持され、液晶パ

ネルに書き込みCとして書き込まれる。

【0053】図2のように出力クリア時間より書き込み時間が長い場合は液晶の充電に時間がかかる場合に有利である。

【0054】図3に本発明の第二の実施例の液晶表示装置の駆動方法の波形図を示す。

【0055】図3の方法はリセット信号11はクリア信号23と同時に選択されており、同じスタート信号でタイミング調整でき、回路が簡単になるという長所がある。

【0056】また、出力クリア時間を書き込み時間よりやや長く設定しておく、TN（ツイステッドネマティック）液晶やPD（ポリマー分散）液晶のように電界の印加時から無印加時への応答時間が電界の無印加時から電界の印加時への応答時間より長くなる場合に適している。

【0057】さらに、この場合にはドライバ出力段のクリア回路部のインピーダンスを高くすることができる。

【0058】図4に本発明の第三の実施例の液晶表示装置の駆動方法の波形図を示す。

【0059】図4のリセット信号RSTはクリア信号CLと時間的に重なっていないため、液晶からの流れ出し時間とシフトレジスタのリセット時間が重ならず、双方の信号が干渉することはない。

【0060】サンプルホールド回路のサンプリングの終わりとクリア信号の終わりをほぼ一致させると、サンプルホールド回路内のコンデンサ部分における放電がなくなり映像入力信号のAの部分のサンプリングホールド回路の映像信号Aとして保持した直後に液晶表示装置に書き込むことができる長所がある。

【0061】

【発明の効果】二系統のサンプルホールド回路により、液晶表示パネルへのデータ書き込み期間を任意に制御することにより、アクティブマトリックス液晶パネルの特性に合致した駆動が可能になり高品位な画像表示が実現できる。

【0062】また、ドライバ出力段のインピーダンスを高くできるため、ドライバ、及びディスプレイモジュールの低消費電力化が図れる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置のドレインドライバの駆動回路図である。

【図2】本発明の二信号のタイミングをずらせた液晶表示装置の駆動波形図である。

【図3】本発明の二信号を同時立ち上がりさせた液晶表示装置の駆動波形図である。

【図4】本発明の二信号を分離させた液晶表示装置の駆動波形図である。

【図5】従来の液晶表示装置の駆動回路のブロック図である。

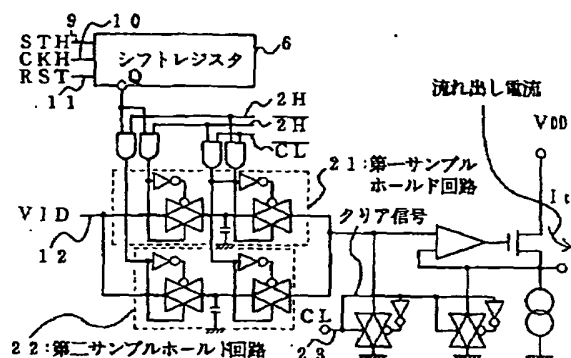
【図6】従来の液晶表示装置の駆動波形図である。

【図7】従来の液晶表示装置のドレインドライバの駆動回路図である。

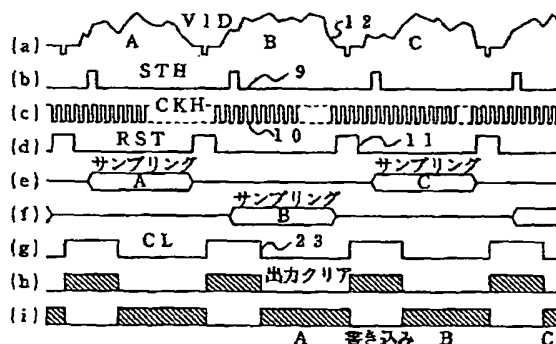
【符号の説明】

- 1 ゲートドライバ
- 2 シフトレジスタ
- 3 ラッチ
- 4 出力バッファ
- 5 ドレインドライバ
- 6 シフトレジスタ
- 7 サンプルホールド回路
- 8 液晶パネル
- 9 水平スタート信号
- 10 クロック信号
- 11 リセット信号
- 12 映像入力信号
- 13 垂直スタート信号
- 14 TFT
- 15 液晶
- 16 有効表示期間
- 17 水平帰線期間
- 18 シフトレジスタリセット期間
- 19 流れ出し電流
- 20 流れ込み電流
- 21 第一サンプルホールド回路
- 22 第二サンプルホールド回路
- 23 クリア信号

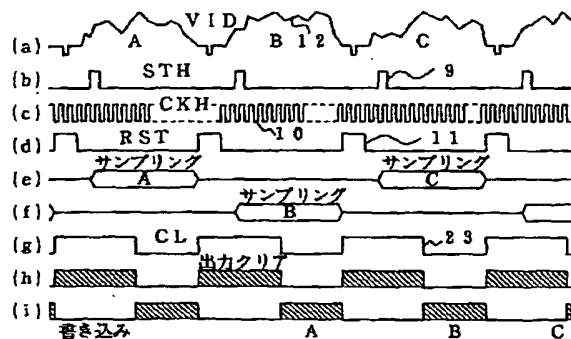
【図1】



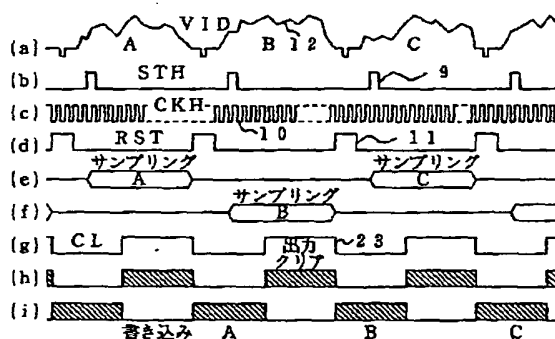
【図2】



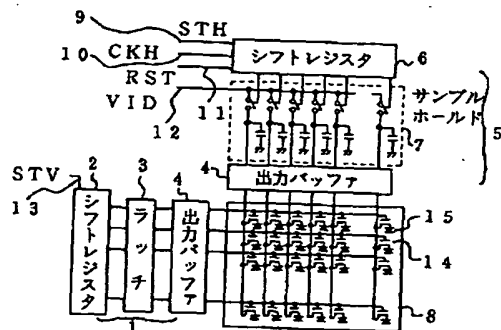
【図3】



【図4】



【図5】



【図6】

